

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-171512

(43)Date of publication of application : 25.07.1991

(51)Int.Cl.

H01B 5/14

(21)Application number : 01-310116

(71)Applicant : NEC CORP

(22)Date of filing : 28.11.1989

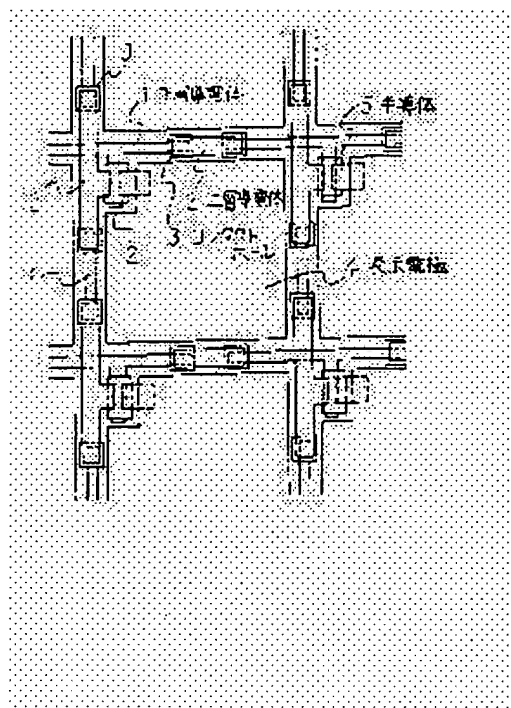
(72)Inventor : ICHIKAWA YOSHIHARU

(54) WIRING ELECTRODE

(57)Abstract:

PURPOSE: To relieve stress of a wiring electrode so as to prevent breaking of wire, curving and strain of a board by forming so that a conductive material of a lower layer, where a wiring electrode of an active matrix board is divided, may electrically be connected by a conductive material of a divided upper layer.

CONSTITUTION: Divided conductors 1 to be a gate electrode, a gate wiring electrode and a drain wiring electrode are formed, and an insulator and a semiconductor layer are formed thereon. A needless part is then removed to form a patterned semiconductor 5. After contact holes 3 on the insulator are formed, divided upper layer conductors 2 to be a drain electrode, a source electrode, a drain wiring electrode and a gate wiring electrode are formed. Further, a display electrode 4 is formed for being made a thin film transistor board. In this way, by forming the lower layer conductors while electrically connecting by means of the upper layer conductors, stress of wiring electrodes is relieved so as to enable generation of breaking of wire and curving and strain of the board to be prevented.



LEGAL STATUS

[Date of request for examination]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-171512

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月25日

H 01 B 5/14

B

2116-5C

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 配線電極

⑯ 特 願 平1-310116

⑰ 出 願 平1(1989)11月28日

⑱ 発 明 者 市 川 祥 治 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

配線電極

特許請求の範囲

アクティブマトリクス基板の配線電極において、第1の分断された下層の導電体を第2の分断された上層の導電体で電気的に接続することを特徴とする配線電極。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、アクティブマトリクス基板の配線電極に関し、特に断線欠陥の少ない配線電極に関する。

〔従来の技術〕

従来のアクティブマトリクス基板の配線電極は、1つの配線電極が連続した1層の導電体から構成されていた。例として第3図に示す従来の配

線電極を持つ薄膜トランジスタ基板を用いて説明する。ゲート電極およびゲート配線電極となる下層導電体1上に絶縁体、半導体を堆積し不要部分を除去しパターン化された半導体5を形成し、さらにその上に上層導電体2を堆積しパターン化してドレイン電極、ドレイン配線電極、ソース電極とする。ことあと表示電極4を形成し薄膜トランジスタ基板とする。この基板はゲート配線電極が1層の連続した下層導電体1で構成されドレイン配線電極が1層の連続した上層導電体2で構成されている。

〔発明が解決しようとする課題〕

上述した従来の配線電極は、連続した1層の導電体から構成されているので、配線電極が長くなると配線方向の応力が強くなり配線の応力による断線が発生し、歩留が若しく低下するという欠点がある。導電体の基板への密着性が悪い場合には配線がはがれることにより断線がおこり、密着性が良い場合でも配線そのものにひび割れが生じ電線が発生するため導電体の形成方法だけでは解決

ができなかった。また、基板が大きくなると基板の曲りやひずみ等が配線電極により発生し目合せずれや液晶ディスプレイを形成した場合の液晶ギャップのむらの原因となりさらに歩留りが低下するという欠点がある。

〔課題を解決するための手段〕

本発明は、アクティブマトリクス基板の配線電極において、第1の分断された下層の導電体を第2の分断された上層導電体で電気的に接続した構造したことを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。第1図は本発明の第1の実施例の平面図である。ゲート電極、ゲート配線電極、ドレイン配線電極となる分断された下層導電体1を形成し、その上に絶縁体、半導体を形成し不要部分を除去しパターン化された半導体5を形成した。次に絶縁体にコンタクトホール3を形成した後、ドレイン電極、ソース電極、ドレイン配線電極、ゲート配線電極となる分断された上層導電体2を形成し

層導電体1を形成し、その上に絶縁体を形成し不要部分を除去しパターン化された絶縁体6を形成した。次に上層金属とデータ配線電極となる分断された上層導電体2を形成した。その後表示電極4を形成しMIM基板とした。

このMIM基板は25インチ壁かけ液晶テレビ用のものでデータ配線電極1536本のものである。使用したガラス基板は450mm×550mm×1.1mmであり、下層導電体としてクロム膜を500Å、上層導電体としてアルミ膜を1000Å形成した。このようにして形成したMIM基板も配線電極の応力による断線は全く見られなかった。

〔発明の効果〕

以上説明したように本発明は、配線電極を第1の分断された下層の導電体を第2の分断された上層導電体で電気的に接続することに形成するため、配線電極の応力が緩和され断線発生や基板の曲りやひずみを防止できアクティブマトリクス基板の歩留りを高くできる効果がある。

た。その後表示電極4を形成し薄膜トランジスタ基板とした。

この薄膜トランジスタ基板は25インチ壁かけ液晶テレビ用のものでゲート配線電極512本、ドレイン配線電極1536本のものである。また、使用したガラス基板は450mm×550mm×1.1mmであり、下層導電体としてクロム膜を1500Å、上層導電体もクロム膜を1500Å形成した。

このようにして形成した薄膜トランジスタ基板では、配線電極の応力による断線は全く見られなかった。また液晶テレビを組み立てた場合でも基板の変形による液晶ギャップむらの発生もなかった。これは配線電極を第1の分断された下層の導電体を第2の分断された上層導電体で電気的に接続して構成したため、配線電極の応力が緩和されたためである。

第2図は本発明の第2の実施例の平面図である。金属・絶縁体・金属(MIM)素子構造の下層金属およびデータ配線電極となる分断された下

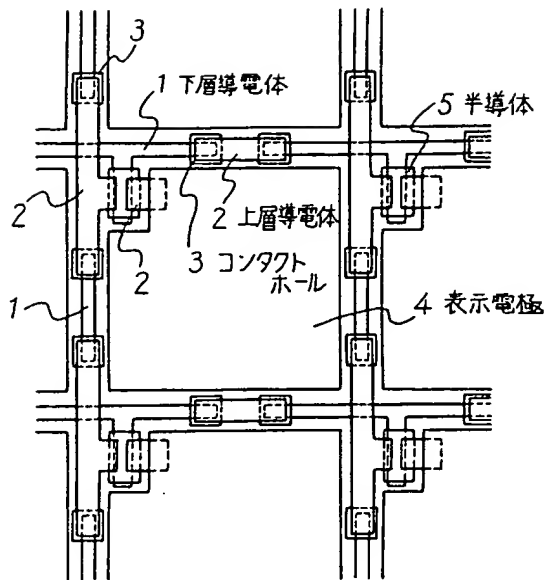
図面の簡単な説明

第1図は本発明の配線電極を用いた第1の実施例の薄膜トランジスタ基板の平面図、第2図は本発明の配線電極を用いた第2の実施例のMIM基板の平面図、第3図は従来の薄膜トランジスタ基板の平面図である。

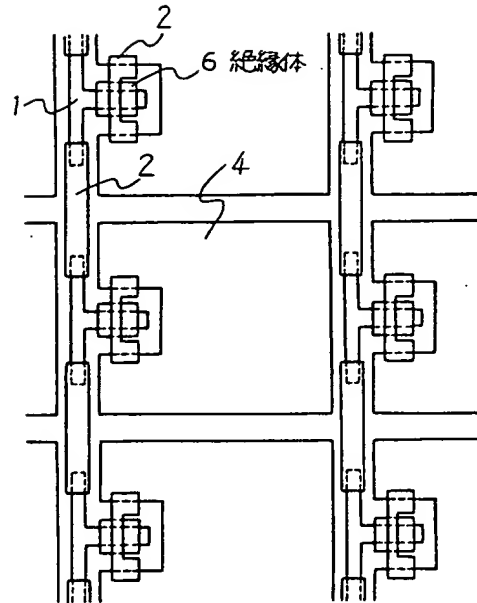
1…下層導電体、2…上層導電体、3…コンタクトホール、4…表示電極、5…半導体、6…絶縁体。

代理人 井理士 内 原 晋

第 1 図



第 2 図



第 3 図

